

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication number: 000043060 A
 (43) Date of publication of application: 15.07.2000

(21) Application number: 980059363

(71) Applicant:

HYUNDAI ELECTRONICS
IND. CO., LTD.

(22) Date of filing: 28.12.1998

(72) Inventor:

PYO, SEONG GYU

(51) Int. Cl

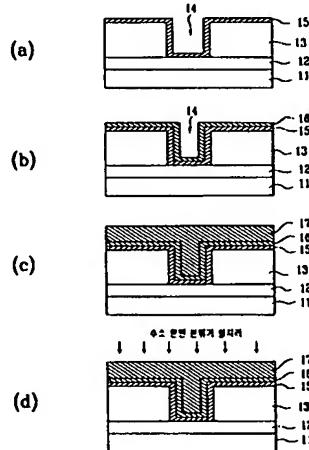
H01L 21/28

(54) METHOD FOR CREATING COPPER METAL WIRING OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for creating copper metal wiring of semiconductor device is provided to improve stability, safety, and efficiency of a copper metal wire.

CONSTITUTION: An inter-level insulating membrane (13) is created on a dielectric layer (12) after the dielectric layer (12) is doped on a semiconductor substrate (11). Some part of the inter-level insulating membrane (13) is etched to expose the dielectric layer (12) with building a contact hole (14). A diffusion preventing film (15) covers the inter-level isolating membrane (13) including the contact hole (14). A copper seed layer (16) is produced on the diffusion preventing layer (15) using PVD(Physical Vapor Deposition) method or CVD(Chemical Vapor Deposition) method without vacuum break. On the copper seed layer (16), a copper layer is formed using MOCVD(Metal Organic Chemical Vapor Deposition) method or electroplating method without vacuum break. After heat treatment of the copper layer in hydrogen reduction method, a copper wiring is made by patterning process.



COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (19990310)

Notification date of refusal decision ()

Final disposal of an application (registration)

Date of final disposal of an application (20010626)

Patent registration number (1003098090000)

Date of registration (20010911)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent ()

Number of trial against decision to refuse ()

AM

특 2000-0043060

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶
H01L 21/28(11) 공개번호 특 2000-0043060
(43) 공개일자 2000년 07월 15일

| | |
|-----------|---|
| (21) 출원번호 | 10-1998-0059363 |
| (22) 출원일자 | 1998년 12월 20일 |
| (71) 출원인 | 현대전자산업 주식회사 김영환 |
| (72) 발명자 | 경기도 미천시 부발읍 아미리 산 136-1 표성규 |
| (74) 대리인 | 경기도 미천시 창전동 현대아파트 1차 102-1203 신영무, 최승민 |

설사장구 : 있음

(54) 반도체 소자의 구리 금속 배선 형성 방법

요약

본 발명은 반도체 소자의 구리 금속 배선 형성 방법에 관한 것으로, 구리 시드층을 증착한 후, 전기파괴 없이 열처리후 전기도금 증착을 하므로써, 기존의 전기도금전에 필수적으로 진행하던 프리-클리닝(pre-cleaning) 과정을 생략할 수 있을 뿐만 아니라, 물리기상증착법 또는 화학기상증착법으로 확산 방지막 및 구리 시드층을 형성하고, 전기도금법으로 구리층을 증착하고, 수소 환원 열처리를 실시하는 모든 과정을 전기파괴 없이 연속적으로 진행하므로써, 구리 금속 배선의 신뢰성, 안정성 및 성능을 향상시킬 있는 반도체 소자의 금속 배선 형성 방법에 관하여 기술된다.

도표도

도 1

형세식

도면의 간단한 설명

도 1a 내지 도 1d는 본 발명의 실시예에 따른 반도체 소자의 구리 금속 배선 형성 방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

| | |
|------------|------------|
| 11: 반도체 기판 | 12: 도전층 |
| 13: 층간 절연막 | 14: 콘택홀 |
| 15: 확산 방지막 | 16: 구리 시드층 |
| 17: 구리층 | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 구리 금속 배선 형성 방법에 관한 것으로, 특히 구리층을 전기도금법으로 증착 하되, 구리 금속 배선을 형성하기 위한 모든 과정을 전기파괴 없이 연속적으로 진행하여, 구리 금속 배선의 신뢰성, 안정성 및 성능을 향상시킬 있는 반도체 소자의 구리 금속 배선 형성 방법에 관한 것이다.

일반적으로, 반도체 소자 제조시 소자와 소자간 또는 배선과 배선간을 전기적으로 연결시키기 위해 금속 배선을 사용하고 있다. 금속 배선 재료로 알루미늄(Al) 또는 텁스텐(Te)이 널리 사용되고 있으나, 낮은 응집과 높은 비저항으로 인하여 초고집적 반도체 소자에 더 이상 적용이 어렵게 되었다. 따라서, 차세대 반도체 소자의 초고집적화 및 고성능화를 실현하기 위해, 금속 배선의 대체 재료에 대한 개발 및 미세 선택률 갖는 금속 배선의 형성에 대한 필요성이 대두되고 있는 설정이다. 대체 재료로 전도성이 우수한 률질인 구리(Cu), 금(Au), 은(Ag), 코발트(Co), 크롬(Cr), 니켈(Ni) 등이 있다. 이러한 물질을 중비저항이 작고, 전자 이동(electromigration; EM)과 스트레스 이동(stress migration; SM) 등의 신뢰성이 우수하며, 생산원가가 저렴한 구리 및 구리 합금이 널리 적용되고 있는 추세이다.

즉, 차세대 반도체 소자의 초고집적화 및 급격한 고성능화로 인해 소자의 속도 향상 및 신뢰도 향상에서 관심이 고조되고 있으며, 이에 따라 구리를 이용한 금속 배선이 널리 적용되고 있는 추세이다. 구리 금속

배선을 현재 전기도금법을 이용한 방법 적용이 일반화되고 있는데, 전기도금법은 안정하고 깨끗한 구리 시드층(seed layer)의 증착이 필수적인 공정으로 되어 있다. 기존의 방법은 물리기상증착(PVD)법을 이용한 챔버 및 화학기상증착(CVD)법을 이용한 챔버로 구성된 장비에서 확산 방지막 및 구리 시드층을 증착한 후에 구리 전기도금 장비에서 구리 전기도금을 진행하고 있다. 이 경우, 구리 시드층 증착 후 전공파괴 후에 전기도금을 진행하기 때문에 구리 시드층에 산화막이 형성되는 문제점을 가지고 있으며, 전기도금 장비에서 프리-클리닝(pre-cleaning)후 구리 전기도금이 진행되어 공정 단계가 늘어나 생산성을 저하시키는 요인이 된다.

발명의 이루고자 하는 기술적 과제

따라서, 본 발명은 구리층을 전기도금법으로 증착 하되, 구리 금속 배선을 형성하기 위한 모든 공정을 전공파괴 없이 연속적으로 진행하여, 구리 금속 배선의 신뢰성, 안정성 및 성능을 향상시킬 있는 반도체 소자의 구리 금속 배선 형성 방법을 제공함에 그 목적이 있다.

이러한 목적을 달성하기 위한 본 발명의 반도체 소자의 구리 금속 배선 형성 방법은 도전층 상에 콘택홀을 갖는 층간 절연막이 형성된 반도체 기판이 제공되는 단계; 상기 콘택홀을 포함한 상기 층간 절연막 상에 확산 방지막을 형성하는 단계; 상기 확산 방지막을 형성한 후에 전공파괴 없이 상기 확산 방지막 상에 구리 시드층을 형성하는 단계; 상기 구리 시드층을 형성한 후에 전공파괴 없이 상기 구리 시드층상에 구리층을 형성하는 단계; 및 상기 구리층을 형성한 후에 전공파괴 없이 상기 구리층을 수소환원 분위기에서 열처리한 후, 구리층을 패터닝하여 구리 금속 배선을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 본 발명을 첨부된 도면을 참조하여 상세히 설명하기로 한다.

도 1a 내지 도 1d는 본 발명의 실시예에 따른 반도체 소자의 구리 금속 배선 형성 방법을 설명하기 위한 소자의 단면도이다.

도 1a를 참조하면, 반도체 기판(11)에 도전층(12)을 형성하고, 도전층(12) 상에 층간 절연막(13)을 형성한다. 층간 절연막(13)의 일부분을 식각 하여 도전층(12)이 노출되는 콘택홀(14)을 형성한다. 콘택홀(14)을 포함한 층간 절연막(13) 상에 확산 방지막(15)을 형성한다.

상기에서, 도전층(12)은 불순을 미온 주입으로 반도체 기판(11)에 형성되는 전합부이거나, 전극 또는 하우 금속 배선 등 본 발명에 의해 형성될 금속 배선과 연결될 소자의 모든 구성 요소가 포함된다. 확산 방지막(15)은 물리기상증착법이나 화학기상증착법으로 TiN, Ta, TaN, WN, TiAl(N) 등을 10 nm~1000 Å의 두께로 증착 하여 형성된다.

도 1b를 참조하면, 확산 방지막(15)을 형성한 후에 전공파괴 없이 확산 방지막(15) 상에 물리기상증착법이나 화학기상증착법으로 구리를 10 nm~1000 Å의 두께로 증착 하여 구리 시드층(16)을 형성한다.

상기에서, 구리 시드층(16)을 물리기상증착법으로 증착 하여 형성할 경우, 고진공에서 실시하며, 증착 온도는 100 nm~500°C에서 실시한다.

도 1c를 참조하면, 구리 시드층(16)을 형성한 후에 전공파괴 없이 구리 시드층(16) 상에 금속-유기 화학기상증착(MOCVD)법이나 전기도금법으로 구리를 증착 하여 구리층(17)을 형성한다.

상기에서, 금속-유기 화학기상증착법으로 구리층(17)을 증착할 경우, 증착 온도는 50 nm~300°C로 하며, 전구체(precursor)를 5 nm~100sccm(standard cubic centimeter per minute) 사용한다. 전구체는 (hfac)CuTMDS 및 첨가제가 포함된 그 혼합체, (hfac)CuVTMOS 및 첨가제가 포함된 그 혼합체, 또는 (hfac)CuPENTENE 및 첨가제가 포함된 그 혼합체를 사용한다.

전기도금법으로 구리층(17)을 증착할 경우, 구리 시드층(16)을 형성한 후에 전공파괴 없이 -20 nm~150 °C의 저온에서 구리를 증착한다.

도 1d를 참조하면, 구리층(17)을 형성한 후에 전공파괴 없이 수소 환원 분위기에서 구리층(17)을 열처리한다. 이후, 패터닝 공정으로 구리 금속 배선을 형성한다.

상기에서, 수소환원 분위기에서의 열처리는 200 nm~700°C의 온도에서 1분 nm~1시간 실시한다.

상기한 본 발명에 의하면, 구리 금속 배선을 얻기 위해 구리 전기도금법 또는 금속-유기 화학기상증착법을 이용할 때, 기존의 방법은 확산 방지막 및 시드층 형성 장비에서 확산 방지막 및 구리 시드층을 증착한 후에 전공파괴한 후 프리-클리닝하고, 전기도금법으로 구리를 증착 하는 방법을 사용하였으나, 본 발명의 기본적인 개념은, 전술한 바와 같이, 구리 금속 배선을 형성하기 위한 모든 공정을 전공파괴 없이 연속적으로 진행이 이루어지는 것이다.

발명의 효과

상술한 바와 같이, 본 발명은 구리 금속 배선을 형성하기 위한 모든 공정을 전공파괴 없이 연속적으로 진행하므로써, 기존에 필수적으로 진행하던 프리-클리닝 공정을 생략할 수 있을 뿐만 아니라, 구리 금속 배선의 신뢰성, 안정성 및 성능을 향상시킬 있고, 또한 전공파괴 없이 수소 환원 분위기에서 열처리를 행하여 구리층 형성 시에 발생되는 불순물이나 구리 산화막을 제거하여 구리 금속 배선의 전기적 특성을 향상 시켜 보다 나은 소자 속도를 얻을 수 있는 장점을 가지고 있다.

(57) 참조의 범위

청구항 1. 도전층 상에 콘택홀을 갖는 층간 절연막이 형성된 반도체 기판이 제공되는 단계;
 상기 콘택홀을 포함한 상기 층간 절연막 상에 확산 방지막을 형성하는 단계;
 상기 확산 방지막을 형성한 후에 전공파괴 없이 상기 확산 방지막 상에 구리 시드층을 형성하는 단계;
 상기 구리 시드층을 형성한 후에 전공파괴 없이 상기 구리 시드층상에 구리층을 형성하는 단계; 및
 상기 구리층을 형성한 후에 전공파괴 없이 상기 구리층을 수소환원 분위기에서 열처리한 후, 구리층을 패
 터닝하여 구리 금속 배선을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 구
 리 금속 배선 형성 방법.

청구항 2. 제 1 항에 있어서,

상기 확산 방지막은 물리기상증착법이나 화학기상증착법으로 TiN, Ta, TaN, WN, TiAl(N) 중 어느 하나를
 10 내지 1000Å의 두께로 증착 하여 형성되는 것을 특징으로 하는 반도체 소자의 구리 금속 배선 형성 방
 법.

청구항 3. 제 1 항에 있어서,

상기 구리 시드층은 물리기상증착법이나 화학기상증착법으로 구리를 10 내지 1000Å의 두께로 증착 하여
 형성되는 것을 특징으로 하는 반도체 소자의 구리 금속 배선 형성 방법.

청구항 4. 제 1 항에 있어서,

상기 구리 시드층을 물리기상증착법으로 증착 하여 형성할 경우, 고진공에서 실시하며, 증착 온도는 100
 내지 500°C에서 실시하는 것을 특징으로 하는 반도체 소자의 구리 금속 배선 형성 방법.

청구항 5. 제 1 항에 있어서,

상기 구리층은 금속-유기 화학기상증착법이나 전기도금법으로 구리를 증착 하여 형성되는 것을 특징으로
 하는 반도체 소자의 구리 금속 배선 형성 방법.

청구항 6. 제 1 항에 있어서,

상기 구리층을 금속-유기 화학기상증착법으로 증착할 경우, 증착 온도는 50 내지 300°C로 하며, 전구체를
 5 내지 100sccm 사용하는 것을 특징으로 하는 반도체 소자의 구리 금속 배선 형성 방법.

청구항 7. 제 6 항에 있어서,

상기 전구체는 (hf ac)CuTMOS 및 첨가제가 포함된 그 혼합체, (hf ac)CuVTMOS 및 첨가제가 포함된 그 혼합
 체, 및 (hf ac)CuPENTENE 및 첨가제가 포함된 그 혼합체 중 어느 하나를 사용하는 것을 특징으로 하는 반
 도체 소자의 구리 금속 배선 형성 방법.

청구항 8. 제 1 항에 있어서,

상기 구리층을 전기도금법으로 증착할 경우, -20 내지 150°C의 저온에서 증착 하는 것을 특징으로 하는
 반도체 소자의 구리 금속 배선 형성 방법.

청구항 9. 제 1 항에 있어서,

상기 수소환원 분위기에서의 열처리는 200 내지 700°C의 온도에서 1분 내지 1시간 실시하는 것을 특징으
 로 하는 반도체 소자의 구리 금속 배선 형성 방법.

도면

도면1

